

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 11233678
PUBLICATION DATE : 27-08-99

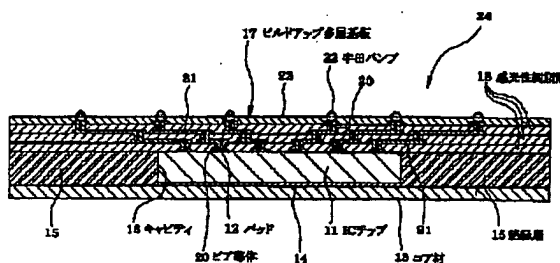
APPLICATION DATE : 16-02-98
APPLICATION NUMBER : 10033130

APPLICANT : SUMITOMO METAL ELECTRONICS
DEVICES INC;

INVENTOR : AKAHO KAZUNORI;

INT.CL. : H01L 23/12 H05K 3/46

TITLE : MANUFACTURE OF IC PACKAGE



ABSTRACT : PROBLEM TO BE SOLVED: To avoid connection defects between a build-up multilayer board to an IC chip.

SOLUTION: An insulation layer 15 of the same depth as that of an IC chip 11 is formed on a core 13, the IC chip is fitted in a cavity 16 of the insulation layer 15 with its surface up at pads 12, and adhered to the core 13. A photosensitive resin layer 18 is formed on the same plane, formed by the surface of the IC chip 11 at the pads 12 and top surface of the insulation layer 15, and photoetched to form vias, via-conductors 20 and inner layer wiring pattern 21 are formed by plating from above them. Forming of the photosensitive resin layer 18, forming of the vias, and forming of the via-conductors 20 and inner layer wiring pattern 21 are repeated to form a build-up multilayer board 17 on the IC chip 11. A solder paste is printed on the top end portions of the via-conductors 20 of the topmost layer and molten by the reflow to form solder bumps 22.

COPYRIGHT: (C)1999,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-233678

(43) 公開日 平成11年(1999) 8月27日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 23/12

H 0 1 L 23/12

N

H 0 5 K 3/46

H 0 5 K 3/46

B

Q

審査請求 未請求 請求項の数4 OL (全 6 頁)

(21) 出願番号 特願平10-33130

(22) 出願日 平成10年(1998) 2月16日

(71) 出願人 391039896

株式会社住友金属エレクトロデバイス
山口県美祿市大嶺町東分字岩倉2701番1

(72) 発明者 赤穂 和則

山口県美祿市大嶺町東分字岩倉2701番1
株式会社住友金属エレクトロデバイス内

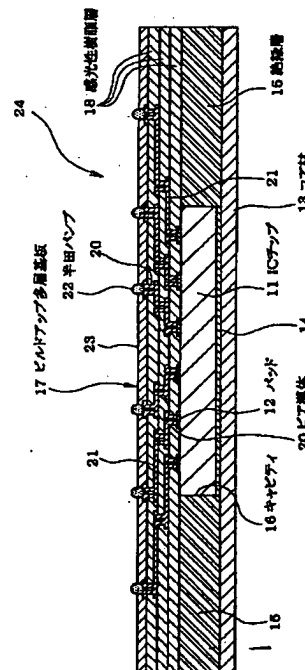
(74) 代理人 弁理士 加古 宗男

(54) 【発明の名称】 ICパッケージの製造方法

(57) 【要約】

【課題】 ビルドアップ多層基板とICチップとの接続不良を防止する。

【解決手段】 コア材13上にICチップ11と同じ厚みの絶縁層15を形成し、この絶縁層15のキャビティ16内に、ICチップ11をパッド12側の面を上向きにして嵌め込み、ICチップ11をコア材13に接着する。ICチップ11のパッド12側の面と絶縁層15の上面とで形成される同一平面に感光性樹脂層18を形成し、この感光性樹脂層18をフォトリソグラフィでビアホールを形成した後、その上からめっきにてビア導体20と内層配線パターン21を形成し、以後、感光性樹脂層18の形成、ビアホールの形成及びビア導体20と内層配線パターン21の形成を順次繰り返して、ICチップ11上にビルドアップ多層基板17を形成する。最上層のビア導体20の上端部分に半田ペーストを印刷し、これをリフローにより溶融させて半田バンプ22を形成する。



【特許請求の範囲】

【請求項1】 ICチップのパッド面を上向きにして、そのパッド面上に感光性樹脂層を形成し、この感光性樹脂層をフォトエッチングしてビアホールを形成した後、その上からめっきにて配線層を形成し、以後、前記感光性樹脂層の形成、ビアホールの形成及び配線層の形成を順次繰り返して、前記ICチップ上にビルドアップ多層基板を形成するICパッケージの製造方法。

【請求項2】 コア材上に、前記ICチップと同じ厚みの絶縁層を形成すると共に、この絶縁層に前記ICチップを嵌め込むキャビティを形成し、前記ICチップをパッド面を上向きにして前記キャビティ内に嵌め込んで前記コア材の上面に接合した後、前記ICチップのパッド面と前記絶縁層の上面とで形成される同一平面上に前記ビルドアップ多層基板を形成することを特徴とする請求項1に記載のICパッケージの製造方法。

【請求項3】 前記ビルドアップ多層基板の表面に半田バンプを形成し、この半田バンプを用いて配線基板に搭載することを特徴とする請求項1又は2に記載のICパッケージの製造方法。

【請求項4】 前記コア材として金属板を用いることを特徴とする請求項2に記載のICパッケージの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ビルドアップ多層基板を用いて構成するICパッケージの製造方法に関するものである。

【0002】

【従来の技術】近年のICチップの高性能化・小型化に伴い、ICチップを搭載する基板の配線密度の高密度化、多ピン化が重要な技術的課題となっている。現在、実用化されている高密度実装基板の一例としてビルドアップ多層基板がある。このものは、コア基板となるガラスエポキシ基板上にエポキシ系の感光性樹脂層を形成し、この感光性樹脂層にフォトエッチング法でビアホールを形成した後、その上から、銅めっきで内層導体パターンやビア導体を形成し、以後、同様の工程を順次繰り返して多層化するものである。

【0003】

【発明が解決しようとする課題】近年のICチップの高性能化に伴い、ビルドアップ多層基板の積層数が増加する傾向があり、それに伴って、内層導体パターンの厚みによって生じる基板表面の凹凸が大きくなる傾向がある。このため、積層数の多いビルドアップ多層基板上にICチップをフリップチップボンディング(C4)で表面実装すると、基板表面の凹凸によって接続不良が発生しやすくなる。このため、現状のビルドアップ多層基板は、基板表面の凹凸を少なくする必要性から積層数が制限されてしまい、高密度配線化が制限される結果となっ

ていた。

【0004】本発明はこのような事情を考慮してなされたものであり、従ってその目的は、ビルドアップ多層基板の積層数増加、高密度配線化に対応しつつ、ICチップの接続不良を防止できるICパッケージの製造方法を提供することにある。

【0005】

【課題を解決するための手段】上記目的を達成するために、本発明の請求項1のICパッケージの製造方法はICチップのパッド面を上向きにして、そのパッド面上に感光性樹脂層を形成し、この感光性樹脂層をフォトエッチングしてビアホールを形成した後、その上からめっきにて配線層を形成し、以後、これら感光性樹脂層の形成、ビアホールの形成及び配線層の形成を順次繰り返して、前記ICチップ上にビルドアップ多層基板を形成するものである。このようにすれば、ビルドアップ多層基板の積層数が何層になっても、ICチップに対するビルドアップ多層基板の実装面(最下面)は、凹凸のない平面となり、ICチップとビルドアップ多層基板との接続不良が無くなる。

【0006】この場合、請求項2のように、コア材上に、ICチップと同じ厚みの絶縁層を形成すると共に、この絶縁層にICチップを嵌め込むキャビティを形成し、ICチップをパッド面を上向きにして前記キャビティ内に嵌め込んで前記コア材の上面に接合した後、ICチップのパッド面と前記絶縁層の上面とで形成される同一平面上にビルドアップ多層基板を形成すると良い。このようにすれば、ICチップの外周囲に形成した絶縁層によってビルドアップ多層基板の面積を拡大できると共に、ICチップをビルドアップ多層基板、絶縁層及びコア材によって封止することができる。また、コア材は、感光性樹脂層の硬化収縮によるビルドアップ多層基板の反りを抑える役割を果たす。

【0007】更に、請求項3のように、ビルドアップ多層基板の表面に半田バンプを形成し、この半田バンプを用いて配線基板に搭載するようにしても良い。このようにすれば、ビルドアップ多層基板と配線基板との配線距離が最短となり、低インピーダンス化され、信号の高速化や高密度配線化にも対応しやすい。

【0008】また、コア材は、例えばセラミックを用いても良いが、請求項4のように、金属板を用いるようにしても良い。金属板のコア材は、ビルドアップ多層基板の反りを抑えるのに十分な強度を有すると共に、放熱性が高いため、放熱部材としても利用できる。

【0009】

【発明の実施の形態】以下、本発明をBGA(Ball Grid Array)パッケージに適用した一実施形態を説明する。まず、図1に基づいてBGAパッケージ24全体の構造を説明する。ICチップ11は、パッド12側の面を上向きにして金属板製のコア材13の上面中央部に接着剤

14により接着されている。コア材13上には、ICチップ11と同じ厚みのエポキシ樹脂の絶縁層15がICチップ11を取り巻くように形成されている。ICチップ11のパッド12側の面と絶縁層15の上面とで形成される同一平面上にビルドアップ多層基板17が形成されている。

【0010】ビルドアップ多層基板17は、各層の絶縁層が感光性樹脂層18で形成され、各感光性樹脂層18には、層間を接続するビア導体20と内層配線パターン21（配線層）が形成されている。ビルドアップ多層基板17の表面には、半田パンパ22（半田ボール）が形成され、この半田パンパ22以外の部分はソルダーレジスト23で覆われている。以上のように構成されたBGAパッケージ24は、図2に示すように、半田パンパ22を配線基板25（ドータボード）のパッド26に位置合わせしてリフロー半田付けされる。BGAパッケージ24と配線基板25との間の隙間には、モールド樹脂が含まれ、このモールド樹脂がBGAパッケージ24と配線基板25とを接合する役割を果たす。

【0011】次に、上記構成のマルチチップモジュール（MCM）の製造方法を図3の工程フローチャートに従って説明する。コア材13として、銅板、ステンレス鋼板等の金属板を用い、その表面に金めっきを施す。この後、コア材13上に、エポキシ系の感光性樹脂をスピンコーター等で塗布して、ICチップ11と同じ厚みの感光性の絶縁層15を形成する。次に、絶縁層15の中央部にキャビティ16をフォトエッチングにより形成するために、絶縁層15に露光（1500mj）し、これをアルカリ現像液（NaOH：3%）に例えば80秒間浸漬して現像して、この絶縁層15に、ICチップ11を嵌合するためのキャビティ16を形成する。この後、絶縁層15を硬化させるために、UVキュアを1000mjで行い、更に、この絶縁層15を150℃で2時間加熱して熱硬化させる。

【0012】この後、ICチップ11の下面（パッド12側とは反対側の面）に接着剤を塗布して、ICチップ11をパッド12側の面を上向きにしてキャビティ16内に嵌め込み、150℃で7時間、熱乾燥してICチップ11をコア材13の上面に接合する。これにより、ICチップ11のパッド12側の面と絶縁層15の上面とで同一の平面が形成され、この平面上にビルドアップ多層基板17を通常のセミアディティブ法により次のようにして形成する。

【0013】まず、ICチップ11のパッド12側の面と絶縁層15の上面とで形成される同一平面にエポキシ系の感光性樹脂をスピンコーター等で塗布して、90℃で30分間、プリバークして感光性樹脂層18を形成する。この後、感光性樹脂層18にビアホールをフォトエッチングにより形成するために、感光性樹脂層18に平行光を使用して露光（1500mj）し、露光後に、再

度90℃で30分間、バークする。次に、この感光性樹脂層18をアルカリ現像液（NaOH：3%）に例えば80秒間浸漬して現像し、感光性樹脂層18にビアホールを形成する。この後、再度、UVキュアを1000mjで行い、更に、175℃で2時間加熱して熱硬化させる。これにより、1層目の感光性樹脂層18を形成する。

【0014】次に、感光性樹脂層18を70℃で3分間、膨潤させた後、感光性樹脂層18の表面をKMnO₄により80℃で3分間、ソフトエッチングして粗化する。この後、感光性樹脂層18の粗化表面を水洗し、中和した後、感光性樹脂層18の粗化表面全体に無電解Cuめっきを施す。めっき後、無電解Cuめっき被膜の表面にドライフィルム（感光性フィルム）を110℃、4kgf/cm²でラミネートする。この後、ドライフィルムのうちのビア・配線パターン形成部分のみを露光（80mj）し、これをアルカリ現像液（炭酸ソーダ：1%）に浸漬して現像し、ドライフィルムのうちのビア・配線パターン形成部を除去する。

【0015】この後、ドライフィルムの上から電解Cuめっきを施して、ビア導体20と内層配線パターン21に対応する部分に電解Cuめっきパターンを形成する。めっき後、アセトンでドライフィルムを剥離した後、電解Cuめっきパターンをエッチングレジスト（マスク）として用いて、無電解Cuめっき被膜の不要部分をエッチングにより取り除く。これにより、感光性樹脂層18のビアホールにビア導体20を形成し、このビア導体20をICチップ11のパッド12に導通させると共に、感光性樹脂層18の上面に内層配線パターン21を形成する。

【0016】以上の工程で、1層目の感光性樹脂層18の形成、ビアホールの形成及びビア導体20と内層配線パターン21の形成を終了し、以後、これらの工程を必要な積層数になるまで順次繰り返して、ICチップ11上にビルドアップ多層基板17を形成する。

【0017】このようにして、ICチップ11上にビルドアップ多層基板17を形成すれば、ICチップ11のパッド12に半田（Pb）パンパを形成しなくても、パッド12にビア導体20を直接接続することが可能となり、Pb不使用（Pbフリー化）の要求を満たすことができる。

【0018】ビルドアップ多層基板17の形成後、ビルドアップ多層基板17の上面全体に感光性のソルダーレジスト23をスピンコーター等で塗布し、これを露光、現像して、最上層のビア導体20の上端部分をビルドアップ多層基板17の上面のソルダーレジスト23の被膜から露出させる。そして、ソルダーレジスト23を熱硬化させた後、最上層のビア導体20の上端露出部分に半田ペーストをスクリーン印刷し、これをリフローにより溶融させて半田パンパ22を形成する。以上の工程によ

り、図1に示す構造のBGAパッケージ24が形成される。

【0019】この後、BGAパッケージ24の半田バンパ22を配線基板25のパッド26に位置合わせしてリフロー半田付けした後、BGAパッケージ24と配線基板25との間の隙間にモールド樹脂を含浸して、BGAパッケージ24と配線基板25とを接合する。これにより、図2に示す構造のマルチチップモジュール(MC M)が製造される。

【0020】ところで、ビルドアップ多層基板17は、感光性樹脂層18の硬化収縮によって反りが生じやすいが、図1の構造では、コア材13がこの基板の反りを抑える役割を果たす。

【0021】本発明者は、コア材13が基板の反りを抑える効果を評価する試験を行ったので、その試験結果を次の表1に示す。

【0022】

【表1】

サンプルNO.	コア材	反り量
1	樹脂板	$5000 \pm 150 \mu\text{m}$
2	Cu板：厚さ0.4mm	$1000 \pm 100 \mu\text{m}$
3	Cu板：厚さ1.0mm	$30 \pm 5 \mu\text{m}$

【0023】この試験に用いた各サンプルのサイズは、縦88mm×横88mm×厚さ800 μm である。サンプルNO. 1は、コア材として樹脂板を用い、サンプルNO. 2は、コア材として厚さ0.4mmのCu板を用い、サンプルNO. 3は、コア材として厚さ1.0mmのCu板を用いた。各サンプルについて、それぞれ10個ずつ反り量を測定したところ、サンプルNO. 1(樹脂板)は反り量が $5000 \pm 150 \mu\text{m}$ であったのに対し、サンプルNO. 2(厚さ0.4mmのCu板)は、反り量が $1000 \pm 150 \mu\text{m}$ であり、反り量がサンプルNO. 1の1/5に減少した。更に、サンプルNO. 3(厚さ1.0mmのCu板)は、反り量が $30 \pm 5 \mu\text{m}$ であり、反りが効果的に抑えられた。

【0024】尚、コア材として、Cu板、ステンレス鋼板等の金属板を用いれば、反り防止効果と共に放熱効果も得られる利点があるが、金属板に限定されず、セラミック板、ガラス板、強化樹脂板等を用いても良い。また、ICチップ11の外周囲の絶縁層をコア材と一体に形成しても良い。更に、コア材上に複数のICチップを接合するようにしても良い。

【0025】

【発明の効果】以上の説明から明らかなように、本発明の請求項1のICパッケージの製造方法によれば、ICチップ上にビルドアップ多層基板を形成するようにしたので、ビルドアップ多層基板の積層数が何層になっても、ICチップとビルドアップ多層基板との接合不良を防止できると共に、ICチップに半田(Pb)バンパを形成しなくても、ICチップとビルドアップ多層基板とを接続することができて、Pb不使用(Pbフリー化)

の要求を満たすことができる。

【0026】更に、請求項2では、コア材上にICチップと同じ厚みの絶縁層を形成するようにしたので、ビルドアップ多層基板の面積を拡大できると共に、コア材によってビルドアップ多層基板の反りを抑えることができ、しかも、ICチップをビルドアップ多層基板、絶縁層及びコア材によって封止することができる。

【0027】また、請求項3では、ビルドアップ多層基板の表面に半田バンパを形成したので、BGA方式で配線基板に実装でき、高密度実装化に対応できる。

【0028】また、請求項4では、コア材として金属板を用いるようにしたので、基板の反り抑制効果と放熱性を共に高めることができる。

【図面の簡単な説明】

【図1】本発明の一実施形態におけるBGAパッケージの構造を示す縦断面図

【図2】BGAパッケージを配線基板に実装した状態を示す縦断面図

【図3】マルチチップモジュールの製造方法を示す工程フローチャート

【符号の説明】

11…ICチップ、12…パッド、13…コア材、14…接着剤、15…絶縁層、16…キャビティ、17…ビルドアップ多層基板、18…感光性樹脂層、20…ビア導体(配線層)、21…内層配線パターン(配線層)、22…半田バンパ、23…ソルダーレジスト、24…BGAパッケージ(ICパッケージ)、25…配線基板、26…パッド。

Figure 1 is a cross-sectional view of a semiconductor device. The device includes a substrate 15, which is also labeled as an insulating layer 15. On the substrate, there is a core material 13, a pad 12, and a cavity 16. A built-up multilayer substrate 17 is formed on top of the substrate. The built-up substrate includes a photoresist layer 18, a solder bump 22, and a half-bridge 23. A lead wire 20 is connected to the pad 12 and the solder bump 22. A lead wire 21 is also shown. A lead wire 24 is connected to the solder bump 22. The substrate 15 is also labeled as an insulating layer.

This diagram shows a cross-sectional view of a semiconductor device assembly. A substrate 25 is at the base. On top of it is a layer 20, which contains several small, square components 21. These components are connected to a network of conductive lines 17 and 23. A larger rectangular block 15 is positioned above the substrate, containing a central rectangular cavity 14. The block 15 is surrounded by a material 16. The entire assembly is covered by a top layer 24. Other labels include 11, 12, 13, and 22, which point to various internal features and connections within the assembly.

【図3】

